



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020020002756 (43) Publication.Date. 20020110

(21) Application No.1020000037042 (22) Application Date. 20000630

(51) IPC Code:

H01L 21/8242

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

LEE, JONG MIN

(30) Priority:

(54) Title of Invention

METHOD FOR MANUFACTURING CAPACITOR OF SEMICONDUCTOR DEVICE

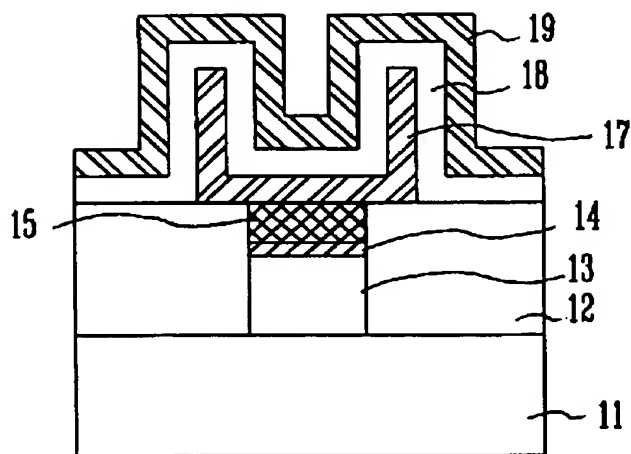
Representative drawing

(57) Abstract:

PURPOSE: A capacitor formation method of a semiconductor device is provided to form a contact plug without a plug poly recess process for securing a space for a diffusion prevent layer.

CONSTITUTION: After forming a first insulating layer (12) on a substrate(11), a first contact hole is formed by selectively etching the first insulating layer in order to expose a junction portion. The first contact hole is buried by a polysilicon(13) and then polished by using a CMP method. A TiSi<sub>2</sub> layer(14) is formed on a surface of the polysilicon, and then TiSiN layer(15) is formed. A lower electrode(17) having a cylinder type is formed on the TiSiN layer(15). After forming a Ta<sub>2</sub>O<sub>5</sub> dielectric layer(18) on the resultant structure, a heat treating process is performed. An upper electrode(19) is formed on the dielectric layer.

© KIPO 2002



if display of image is failed, press (F5)

# (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> H01L 21/8242	(11) 공개번호 (43) 공개일자	특2002-0002756 2002년01월 10일
(21) 출원번호	10-2000-0037042	
(22) 출원일자	2000년06월30일	
(71) 출원인	주식회사 하이닉스반도체	
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 이종민	
(74) 대리인	경기도수원시팔달구매탄동주공5단지505-503 신영무, 최승민	
심사청구 : 없음		
(54) 반도체 소자의 커패시터 제조 방법		

## 요약

본 발명은 반도체 소자의 커패시터 제조 방법에 관한 것으로, TiN/TiSix/Poly-Si로 이루어진 종래의 콘택 플러그 구조 대신에, TiSix/Poly-Si 구조로 콘택홀을 매립한 후에 표면을 질화처리하여 확산방지막을 형성함으로써, 확산 방지막이 매립될 공간을 확보하기 위한 플러그 폴리 리세스(Pulg Poly Recess) 공정을 배제할 수 있어 공정을 단순화하고, 확산 방지막으로 TiN막 대신에 TiSiN막을 이용함으로써 내산화성을 안정적으로 확보할 수 있는 반도체 소자의 커패시터 제조 방법이 개시된다.

## 대표도

도2e

## 색인어

확산 방지막, TiSiN막, Pulg Poly Recess

## 명세서

### 도면의 간단한 설명

도 1a 내지 도 1e는 종래의 반도체 소자의 커패시터 제조 방법을 설명하기 위하여 순차적으로 도시한 단면도.

도 2a 내지 도 2e는 본 발명에 따른 반도체 소자의 커패시터 제조 방법의 제1 실시예를 설명하기 위하여 순차적으로 도시한 단면도.

도 3a 내지 도 3e는 본 발명에 따른 반도체 소자의 커패시터 제조 방법의 제 2 실시예를 설명하기 위하여 순차적으로 도시한 단면도.

### (도면의 주요 부분에 대한 부호 설명)

1, 11, 21 : 반도체 기판	2, 12, 22 : 제 1 절연막
3, 13, 23 : 폴리실리콘	4, 14, 24 : TiSi2막
5 : TiN막	15, 25 : TiSiN막
6, 16, 26 : 제 2 절연막	7, 17, 27 : 하부 전극
8, 18, 28 : Ta <sub>2</sub> O <sub>5</sub> 유전체막	9, 19, 29 : 상부 전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 커패시터 제조 방법에 관한 것으로, 특히 콘택 플러그를 형성하기 위한 공정에서, 확산 방지막을 매립하기 위한 공간을 확보하기 위한 플러그 폴리 리세스(Plug Poly Recess) 공정 없이 콘택 플러그를 형성함으로써 공정을 단순화할 수 있는 반도체 소자의 커패시터 제조 방법에 관한 것이다.

소자의 집적화에 따라 MIS 구조로 이루어진  $Ta_2O_5$  커패시터에서 정전용량을 확보하기 위해서는  $Ta_2O_5$  두께를 낮추어 확보하는 방법이 있으나, 이는 누설전류 증가의 원인이 된다. 이러한 문제를 해결하기 위해서 메탈 하부 전극을 도입해 유효 산화막 두께( $T_{ox}$ )를 낮추어 정전용량을 확보함과 동시에 누설전류도 확보하는 방법이 시도되고 있다. 이때, 하부 전극을 메탈로 사용할 경우, 확산 방지막은 중요한 역할을 한다.

이하, 첨부된 도면을 참조하여 종래의 반도체 소자의 커패시터 제조 방법을 설명하기로 한다.

도 1a 내지 도 1e는 종래의 반도체 소자의 커패시터 제조 방법을 설명하기 위하여 순차적으로 도시한 단면도이다.

도 1a를 참조하면, 반도체 소자를 형성하기 위한 여러 요소가 형성된 반도체 기판(1) 상에 층간 절연막(2)을 형성하고, 반도체 기판(1)의 접합부가 노출되는 콘택홀을 형성한 후, 폴리실리콘(3)으로 콘택홀을 매립한 뒤 에치-백(Etch-back) 공정으로 리세스(Recess)시킨다.

도 1b를 참조하면, Ti를 증착한 후 급속 열처리를 실시하여  $TiSi_2$ 막(4)을 형성한다. 반응하지 않고 남아 있는 Ti는 SC-1 세정으로 제거한다.  $TiSi_2$ 막(4)은 오믹 콘택을 유도하기 위하여 형성한다.

도 1c를 참조하면, 전체 상부에 TiN막(5)을 형성하여 콘택홀을 매립한 후 화학적 기계적 연마로 콘택 플러그를 분리시킨다.

도 1d를 참조하면, 전체 상부에 제 2 절연막(6)을 형성한 후 TiN막(5)이 노출되도록 제 2 콘택홀을 형성한다. 전체 상부에 Ru막을 형성한 후 화학적 기계적 연마로 Ru막을 분리하여 하부 전극(7)을 형성한다. 제 2 절연막(6)은 하부 전극(7)의 목표 두께와 상응하는 두께로 형성한다.

도 1e를 참조하면, 하부 전극(7)을 포함한 전체 상부에  $Ta_2O_5$  유전체막(8) 및 상부전극(9)을 형성하여 커패시터를 제조한다.

상기의 공정 중에서 확산 방지막 형성공정은 도프트 실리콘을 하부전극으로 적용할 때에 비해 공정이 복잡하고 플러그 리세스(Plug recess)라는 어려운 공정이 수반되어 커패시터 구성이 어려울 뿐만 아니라 가격경쟁력을 저하시키는 요인으로 작용한다.

#### 발명이 이루고자하는 기술적 과제

따라서, 본 발명은 플러그 폴리 리세스 공정을 배제함으로써 공정을 단순화함과 동시에 확산 방지막을 TiN막 대신에  $TiSi_2$ 막을 이용함으로써 내산화성을 안정적으로 확보할 수 있는 반도체 소자의 커패시터 제조 방법을 제공하는데 그 목적이 있다.

#### 발명의 구성 및 작용

본 발명에 따른 반도체 소자의 커패시터 제조 방법의 제 1 실시예는 제 1 콘택홀에 의해 접합부가 개방되는 제 1 절연막이 형성된 반도체 기판이 제공되는 단계, 제 1 콘택홀 내부를 폴리실리콘으로 매립한 후 평탄화하는 단계, 폴리실리콘의 표면  $TiSi_2$ 막으로 형성하는 단계,  $TiSiN$ 막을 형성하는 단계,  $TiSiN$ 막 상에 실린더 구조의 하부 전극을 형성하는 단계, 하부 전극을 포함한 전체 상에  $Ta_2O_5$  유전체막을 형성한 후 후속 열공정을 실시하는 단계; 및 유전체막 상에 상부 전극을 형성하는 단계를 포함하여 이루어진다.

상기의 단계에서,  $TiSi_2$ 막은 폴리실리콘을 포함한 제 1 절연막 상에 Ti막을 형성하고 급속 열처리한 후, 화학적 기계적 연마 공정으로 분리하면서 미반응 Ti막을 제거하여 형성한다.

$TiSiN$ 막은  $N^+$ 를 갖는  $NH_3$ ,  $N_2$  가스등의 질화 처리 가스 및 Ar, He 등과 같은 비활성 가스를 이용하여 600 내지 700℃ 범위의 온도에서 상기  $TiSi_2$ 막의 표면을 플라즈마 처리로 질화시켜 형성한다.

하부 전극은 TiN, W, WN 및 Ru 등과 같은 메탈 전극으로 형성한다. 하부 전극을 Ru막을 형성할 경우에는 CVD법으로 형성한다. CVD Ru막은 압력은 0.01 내지 10 Torr이고, 온도는 200 내지 350℃이며,  $Tris(2,4-octanedionato)ruthenium$ 을 기상상태로 만든 후 1 내지 900sccm의  $O_2$  가스를 반응 가스로 이용

하여 형성한다.

Ta<sub>2</sub>O<sub>5</sub> 유전체막은 반응로 내의 압력을 0.1 내지 1.2Torr로 유지하고, 온도는 300 내지 400℃로 유지하며, 170 내지 190℃로 유지되는 기화기에서 기상 상태로 만든 Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>와 10 내지 1000sccm 정도의 O<sub>2</sub> 가스를 이용하여 형성한다.

후속 열공정은 300 내지 500℃의 온도범위에서 N<sub>2</sub>O 플라즈마 또는 자외선/오존(UV/O<sub>3</sub>) 처리로 실시한다. 후속 열공정 후에는 500 내지 700℃의 온도범위에서 N<sub>2</sub> 및 O<sub>2</sub> 가스를 이용하여 급속 열처리 또는 퍼니스 어닐링(Furnace anneal)을 실시한다.

상부 전극은 Ru막 또는 TiN막으로 형성한다.

또한, 본 발명에 따른 반도체 소자의 커패시터 제조 방법의 제 2 실시예는 제 1 콘택홀에 의해 접합부가 개방되는 제 1 절연막이 형성된 반도체 기판이 제공되는 단계, 제 1 콘택홀 내부를 폴리실리콘으로 매립한 후 평탄화하는 단계, 폴리실리콘의 표면 TiSi<sub>2</sub>막으로 형성하는 단계, TiSiN막을 형성하는 단계, TiSiN막을 포함한 전체 상에 제 2 절연막을 형성한 후 TiSiN막이 노출되는 제 2 콘택홀을 형성하는 단계, 제 2 콘택홀의 측벽 및 저면에 하부 전극을 형성하는 단계, 하부 전극을 포함한 전체 상에 Ta<sub>2</sub>O<sub>5</sub> 유전체막을 형성한 후 후속 열공정을 실시하는 단계; 및 유전체막 상에 상부 전극을 형성하는 단계를 포함하여 이루어진다.

상기의 단계에서, TiSi<sub>2</sub>막은 폴리실리콘을 포함한 제 1 절연막 상에 Ti막을 형성하고 급속 열처리한 후, 화학적 기계적 연마 공정으로 분리하면서 미반응 Ti막을 제거하여 형성한다.

TiSiN막은 N<sup>+</sup>를 갖는 NH<sub>3</sub>, N<sub>2</sub> 가스등의 질화 처리 가스 및 Ar, He 등과 같은 비활성 가스를 이용하여 600 내지 700℃ 범위의 온도에서 상기 TiSi<sub>2</sub>막의 표면을 플라즈마 처리로 질화시켜 형성한다.

하부 전극은 TiN, W, WN 및 Ru 등과 같은 메탈 전극으로 형성한다. 하부 전극을 Ru막을 형성할 경우에는 CVD법으로 형성한다. CVD Ru막은 압력은 0.01 내지 10 Torr이고, 온도는 200 내지 350℃이며, Tris(2,4-octanedionato)ruthenium을 기상상태로 만든 후 1 내지 900sccm의 O<sub>2</sub> 가스를 반응 가스로 이용하여 형성한다.

Ta<sub>2</sub>O<sub>5</sub> 유전체막은 반응로 내의 압력을 0.1 내지 1.2Torr로 유지하고, 온도는 300 내지 400℃로 유지하며, 170 내지 190℃로 유지되는 기화기에서 기상 상태로 만든 Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>와 10 내지 1000sccm 정도의 O<sub>2</sub> 가스를 이용하여 형성한다.

후속 열공정은 300 내지 500℃의 온도범위에서 N<sub>2</sub>O 플라즈마 또는 자외선/오존(UV/O<sub>3</sub>) 처리로 실시한다. 후속 열공정 후에는 500 내지 700℃의 온도범위에서 N<sub>2</sub> 및 O<sub>2</sub> 가스를 이용하여 급속 열처리 또는 퍼니스 어닐링(Furnace anneal)을 실시한다.

상부 전극은 Ru막 또는 TiN막으로 형성한다.

이하, 첨부된 도면을 참조하여 본 발명의 제 1 및 제 2 실시예를 더욱 상세히 설명하기로 한다.

도 2a 내지 도 2e는 본 발명에 따른 반도체 소자의 커패시터 제조 방법의 제1 실시예를 설명하기 위하여 순차적으로 도시한 단면도이다.

도 2a를 참조하면, 반도체 소자를 형성하기 위한 여러 요소가 형성된 반도체 기판(11) 상에 제 1 절연막(12)을 형성한 후, 접합부가 노출되도록 제 1 콘택홀을 형성한다. 제 1 콘택홀에 비트 라인으로 폴리실리콘(13)을 매립한 후 화학적 기계적 연마로 평탄화한다.

도 2b를 참조하면, 폴리실리콘(13)을 포함한 제 1 절연막(12) 상부에 Ti막을 형성한 후 급속 열처리하여 TiSi<sub>2</sub>막(14)을 형성한 다음, 화학적 기계적 연마 공정으로 제 1 절연막(12) 상의 미반응 Ti막을 제거하여 분리시킨다.

도 2c를 참조하면, 확산 방지 질화막을 형성하기 위하여 TiSi<sub>2</sub>막(14)의 표면을 질화 처리하여 TiSi<sub>2</sub>막(14)의 표면에 3원계 질화물인 TiSiN막(15)을 형성한다. 이후, 전체 상부에 제 2 절연막(16)을 형성하되 하부 전극의 목표 두께와 상응한 두께로 형성한다. 제 2 절연막(16)에는 TiSiN막(15)이 노출되는 제 2 콘택홀을 형성한다.

TiSi<sub>2</sub>막(14) 표면의 질화 처리는 N<sup>+</sup>를 갖는 NH<sub>3</sub>, N<sub>2</sub> 가스등을 질화 처리 가스로 이용하여 600 내지 700℃ 범위의 온도에서 플라즈마 처리로 실시하며, Ar, He 등과 같은 비활성 가스를 활성화 가스로 함께 사용한다.

도 2d를 참조하면, 제 2 콘택홀을 포함한 전체 상부에 CVD법으로 Ru막을 형성한 후 화학적 기계적 연마로 Ru막을 분리시킨 뒤, 제 2 절연막을 제거하여 실린더 구조의 하부 전극(17)을 형성한다.

하부 전극(17)을 형성하기 위한 CVD Ru막은 Tris(2,4-octanedionato)ruthenium을 기상상태로 만든 후, 1 내지 900sccm의 O<sub>2</sub> 가스를 반응 가스로 이용하여 형성한다. 이때, 압력은 0.01 내지 10 Torr이고, 온도는 200 내지 350℃이다.

하부 전극(17)은 TiN, W 및 WN 등의 메탈 전극으로 형성할 수도 있다.

도 2e를 참조하면, 전체 상부에 Ta<sub>2</sub>O<sub>5</sub> 유전체막(18)을 형성한 후 후속 열공정을 실시한 뒤 상부 전극(19)을 형성하여 커패시터를 제조한다.

Ta<sub>2</sub>O<sub>5</sub> 유전체막(18)은 Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>를 170 내지 190℃로 유지되는 기화기에서 기상 상태로 만들고, 10 내지 1000sccm 정도의 O<sub>2</sub> 가스를 반응가스로 이용하여 형성한다. 이때, 반응로 내의 압력은 0.1 내지 1.2Torr로 유지하고, 온도는 300 내지 400℃로 유지한다.

후속 열공정으로는 300 내지 500℃의 온도범위에서 N<sub>2</sub>O 플라즈마 또는 자외선/오존(UV/O<sub>3</sub>) 처리를 한다. 후속 열공정 후에는 500 내지 700℃의 온도범위에서 N<sub>2</sub> 및 O<sub>2</sub> 가스를 이용하여 급속 열처리 또는 퍼니스 어닐링(Furnace anneal)을 실시한다.

상부 전극(19)은 Ru막 또는 TiN막으로 형성한다.

도 3a 내지 도 3e는 본 발명에 따른 반도체 소자의 커패시터 제조 방법의 제 2 실시예를 설명하기 위하여 순차적으로 도시한 단면도이다.

도 3a를 참조하면, 반도체 소자를 형성하기 위한 여러 요소가 형성된 반도체 기판(21) 상에 제 1 절연막(22)을 형성한 후, 접합부가 노출되도록 제 1 콘택홀을 형성한다. 제 1 콘택홀에 비트 라인으로 폴리실리콘(23)을 매립한 후 화학적 기계적 연마로 평탄화한다.

도 3b를 참조하면, 폴리실리콘(23)을 포함한 제 1 절연막(22) 상부에 Ti막을 형성한 후 급속 열처리하여 TiSi<sub>2</sub>막(24)을 형성한 다음, 화학적 기계적 연마 공정으로 제 1 절연막(22) 상의 미반응 Ti막을 제거하여 분리시킨다.

도 3c를 참조하면, 확산 방지 질화막을 형성하기 위하여 TiSi<sub>2</sub>막(24)의 표면을 질화 처리하여 TiSi<sub>2</sub>막(24)의 표면에 3원계 질화물인 TiSiN막(25)을 형성한다. 이후, 전체 상부에 제 2 절연막(26)을 형성하되 하부 전극의 목표 두께와 상응한 두께로 형성한다. 제 2 절연막(26)에는 TiSiN막(25)이 노출되는 제 2 콘택홀을 형성한다.

TiSi<sub>2</sub>막(24) 표면의 질화 처리는 N<sup>+</sup>를 갖는 NH<sub>3</sub>, N<sub>2</sub> 가스등을 질화 처리 가스로 이용하여 600 내지 700℃ 범위의 온도에서 플라즈마 처리로 실시하며, Ar, He 등과 같은 비활성 가스를 활성화 가스로 함께 사용한다.

도 3d를 참조하면, 제 2 콘택홀을 포함한 전체 상부에 CVD법으로 Ru막을 형성한 후 화학적 기계적 연마로 Ru막을 분리시켜 오목한(Concave) 구조의 하부 전극(27)을 형성한다.

하부 전극(27)을 형성하기 위한 CVD Ru막은 Tris(2,4-octanedionato)ruthenium을 기상상태로 만든 후, 1 내지 900sccm의 O<sub>2</sub> 가스를 반응 가스로 이용하여 형성한다. 이때, 압력은 0.01 내지 10 Torr이고, 온도는 200 내지 350℃이다.

하부 전극(27)은 TiN, W 및 WN 등의 메탈 전극으로 형성할 수도 있다.

도 3e를 참조하면, 전체 상부에 Ta<sub>2</sub>O<sub>5</sub> 유전체막(28)을 형성한 후 후속 열공정을 실시한 뒤 상부 전극(29)을 형성하여 커패시터를 제조한다.

Ta<sub>2</sub>O<sub>5</sub> 유전체막(28)은 Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>를 170 내지 190℃로 유지되는 기화기에서 기상 상태로 만들고, 10 내지 1000sccm 정도의 O<sub>2</sub> 가스를 반응가스로 이용하여 형성한다. 이때, 반응로 내의 압력은 0.1 내지 1.2Torr로 유지하고, 온도는 300 내지 400℃로 유지한다.

후속 열공정으로는 300 내지 500℃의 온도범위에서 N<sub>2</sub>O 플라즈마 또는 자외선/오존(UV/O<sub>3</sub>) 처리를 한다. 후속 열공정 후에는 500 내지 700℃의 온도범위에서 N<sub>2</sub> 및 O<sub>2</sub> 가스를 이용하여 급속 열처리 또는 퍼니스 어닐링(Furnace anneal)을 실시한다.

상부 전극(29)은 Ru막 또는 TiN막으로 형성한다.

본 발명은 콘택홀에 폴리실리콘을 매립한 후 평탄화하고, 폴리실리콘의 표면을 Ti와 반응시켜 TiSi<sub>2</sub>막을 형성한다. 다시, TiSi<sub>2</sub>막의 표면을 질화시켜 확산 방지 질화막인 TiSiN막을 형성하여 콘택 플러그 구조를 완성한다. 종래의 콘택 플러그 형성 방법과 다른 점은 확산 방지막은 TiN막이 아닌 TiSiN막을 사용하고, 확산 방지막을 콘택홀 내부에 형성하기 위한 폴리 플러그 리세스 공정이 필요치 않다는 것이다. 본 발명에 따른 구조의 콘택 플러그를 사용할 경우, 공정의 단순화와 TiSiN막에 의한 내산화성을 안정적으로 확보할 수 있다.

#### 발명의 효과

상술한 바와 같이, 본 발명은 TiSiN막에 의한 내산화성 확보로 소자의 신뢰성을 향상시키고, 공정의 단순화로 인하여 집적 공정을 용이하게 하여 가격 경쟁력을 높일 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

제 1 콘택홀에 의해 접합부가 개방되는 제 1 절연막이 형성된 반도체 기판이 제공되는 단계;

상기 제 1 콘택홀 내부를 폴리실리콘으로 매립한 후 평탄화하는 단계;

상기 폴리실리콘의 표면  $TiSi_2$ 막으로 형성하는 단계;

$TiSiN$ 막을 형성하는 단계;

상기  $TiSiN$ 막 상에 실린더 구조의 하부 전극을 형성하는 단계;

상기 하부 전극을 포함한 전체 상에  $Ta_2O_5$  유전체막을 형성한 후 후속 열공정을 실시하는 단계; 및

상기 유전체막 상에 상부 전극을 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 2

제 1 항에 있어서,

상기  $TiSi_2$ 막은 상기 폴리실리콘을 포함한 제 1 절연막 상에  $Ti$ 막을 형성하고 급속 열처리한 후, 화학적 기계적 연마 공정으로 분리하면서 미반응  $Ti$ 막을 제거하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 3

제 1 항에 있어서,

상기  $TiSiN$ 막은  $N^+$ 를 갖는  $NH_3$ ,  $N_2$  가스등의 질화 처리 가스 및  $Ar$ ,  $He$  등과 같은 비활성 가스를 이용하여 600 내지 700℃ 범위의 온도에서 상기  $TiSi_2$ 막의 표면을 플라즈마 처리로 질화시켜 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 4

제 1 항에 있어서,

상기 하부 전극은  $TiN$ ,  $W$ ,  $WN$  및  $Ru$  등과 같은 메탈 전극으로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 5

제 1 항에 있어서,

상기 하부 전극은  $Ru$ 막을 형성할 경우에는 CVD법으로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 6

제 5 항에 있어서,

상기 CVD  $Ru$ 막은 압력은 0.01 내지 10 Torr이고, 온도는 200 내지 350℃이며,  $Tris(2,4-octanedionato)ruthenium$ 을 기상상태로 만든 후 1 내지 900sccm의  $O_2$  가스를 반응 가스로 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 7

제 1 항에 있어서,

상기  $Ta_2O_5$  유전체막은 반응로 내의 압력을 0.1 내지 1.2Torr로 유지하고, 온도는 300 내지 400℃로 유지하며, 170 내지 190℃로 유지되는 기화기에서 기상 상태로 만든  $Ta(OC_2H_5)_5$ 와 10 내지 1000sccm 정도의  $O_2$  가스를 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

청구항 8

제 1 항에 있어서,

상기 후속 열공정은 300 내지 500℃의 온도범위에서 N<sub>2</sub>O 플라즈마 또는 자외선/오존(UV/O<sub>3</sub>) 처리로 실시하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

#### 청구항 9

제 1 항에 있어서,

상기 후속 열공정 후에는 500 내지 700℃의 온도범위에서 N<sub>2</sub> 및 O<sub>2</sub> 가스를 이용하여 급속 열처리 또는 퍼니스 어닐링(Furnace anneal)을 실시하는 경우를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

#### 청구항 10

제 1 항에 있어서,

상기 상부 전극은 Ru막 또는 TiN막으로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

#### 청구항 11

제 1 콘택홀에 의해 접합부가 개방되는 제 1 절연막이 형성된 반도체 기판이 제공되는 단계;

상기 제 1 콘택홀 내부를 폴리실리콘으로 매립한 후 평탄화하는 단계;

상기 폴리실리콘의 표면 TiSi<sub>2</sub>막으로 형성하는 단계;

TiSiN막을 형성하는 단계;

상기 TiSiN막을 포함한 전체 상에 제 2 절연막을 형성한 후 상기 TiSiN막이 노출되는 제 2 콘택홀을 형성하는 단계;

상기 제 2 콘택홀의 측벽 및 저면에 하부 전극을 형성하는 단계;

상기 하부 전극을 포함한 전체 상에 Ta<sub>2</sub>O<sub>5</sub> 유전체막을 형성한 후 후속 열공정을 실시하는 단계; 및

상기 유전체막 상에 상부 전극을 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

#### 청구항 12

제 11 항에 있어서,

상기 TiSi<sub>2</sub>막은 상기 폴리실리콘을 포함한 제 1 절연막 상에 Ti막을 형성하고 급속 열처리한 후, 화학적 기계적 연마 공정으로 분리하면서 미반응 Ti막을 제거하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

#### 청구항 13

제 11 항에 있어서,

상기 TiSiN막은 N<sup>+</sup>를 갖는 NH<sub>3</sub>, N<sub>2</sub> 가스등의 질화 처리 가스 및 Ar, He 등과 같은 비활성 가스를 이용하여 600 내지 700℃ 범위의 온도에서 상기 TiSi<sub>2</sub>막의 표면을 플라즈마 처리로 질화시켜 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

#### 청구항 14

제 11 항에 있어서,

상기 하부 전극은 TiN, W, WN 및 Ru 등과 같은 메탈 전극으로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

#### 청구항 15

제 11 항에 있어서,

상기 하부 전극은 Ru막을 형성할 경우에는 CVD법으로 형성하는 것을 특징으로 하는 반도체 소자의 커패

시터 제조 방법.

#### 청구항 16

제 15 항에 있어서,

상기 CVD Ru막은 압력은 0.01 내지 10 Torr이고, 온도는 200 내지 350℃이며, Tris(2,4-octanedionato)ruthenium을 기상상태로 만든 후 1 내지 900sccm의  $O_2$  가스를 반응 가스로 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

#### 청구항 17

제 11 항에 있어서,

상기  $Ta_2O_5$  유전체막은 반응로 내의 압력을 0.1 내지 1.2Torr로 유지하고, 온도는 300 내지 400℃로 유지하며, 170 내지 190℃로 유지되는 기화기에서 기상 상태로 만든  $Ta(OC_2H_5)_5$ 와 10 내지 1000sccm 정도의  $O_2$  가스를 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

#### 청구항 18

제 11 항에 있어서,

상기 후속 열공정은 300 내지 500℃의 온도범위에서  $N_2O$  플라스마 또는 자외선/오존(UV/ $O_3$ ) 처리로 실시하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

#### 청구항 19

제 11 항에 있어서,

상기 후속 열공정 후에는 500 내지 700℃의 온도범위에서  $N_2$  및  $O_2$  가스를 이용하여 급속 열처리 또는 퍼니스 어닐링(Furnace anneal)을 실시하는 경우를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

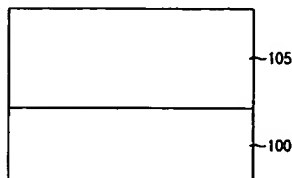
#### 청구항 20

제 11 항에 있어서,

상기 상부 전극은 Ru막 또는 TiN막으로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

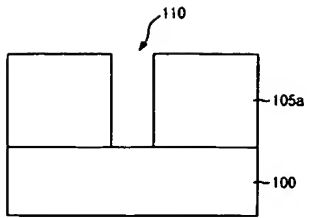
도면

도면 1a

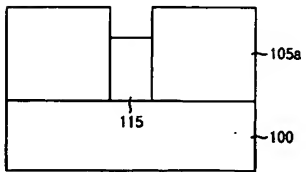




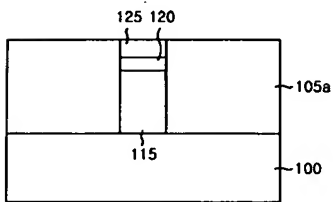
도면 1b



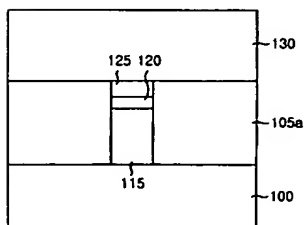
도면 1c



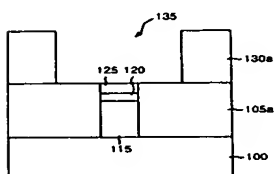
도면 1d



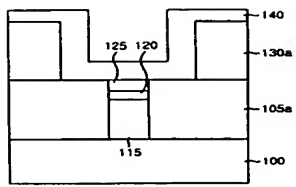
도면 1e



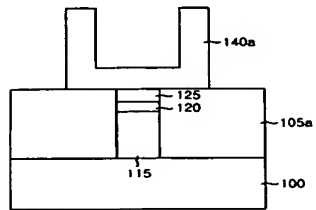
도면 2a



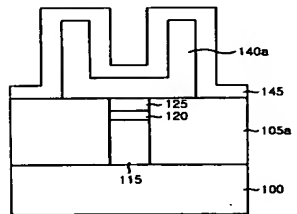
도면2b



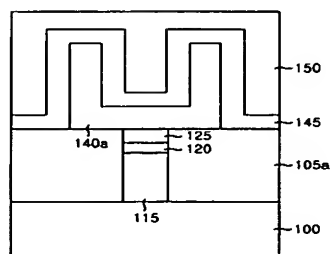
도면2c



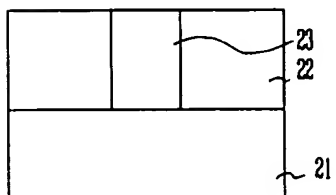
도면2d



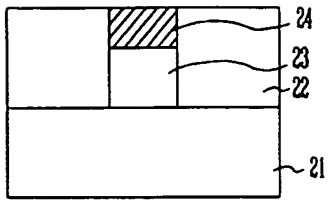
도면2e



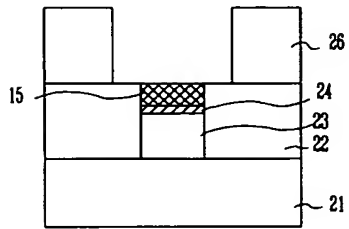
도면3a



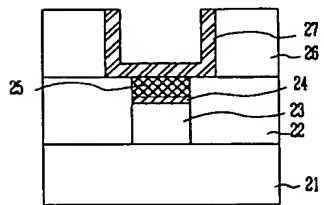
도면3b



도면3c



도면3d



도면3e

